

И. В. Ушенина

Пензенский государственный технологический университет, Россия, 440039, г. Пенза, пр. Байдукова/ул. Гагарина, 1а/11, e-mail: ivl23@yandex.ru

Реализация на ПЛИС многоканального адаптивного FXLMS-фильтра в виде массива вычислительных блоков*

Получена 18.11.2015, опубликована 29.04.2016

В статье проанализированы подходы к технической реализации многоканального адаптивного фильтра, используемого в качестве контроллера многоканальных систем активного подавления акустического шума. Показаны преимущества реализации фильтра в виде массива вычислительных блоков. Вычислительные блоки реализуются на базе ячеек цифровой обработки сигналов программируемых логических интегральных схем (ПЛИС). Размер массива вычислительных блоков зависит от количества каналов фильтра. Для представленной архитектуры выполнен анализ зависимости максимальной рабочей частоты от размера массива.

Ключевые слова: активное подавление шума, многоканальный адаптивный фильтр, вычислительный блок, ячейка цифровой обработки сигналов.

ВВЕДЕНИЕ

При решении отдельных задач активного подавления акустического шума (АППШ) – например, подавления шума в замкнутом пространстве или создания локальной зоны тишины – используются многоканальные системы, содержащие J опорных микрофонов, K излучателей и M микрофонов ошибки. В качестве контроллеров, вырабатывающих противофазные шуму компенсирующие сигналы, в таких системах используются многоканальные адаптивные фильтры с алгоритмом наименьших средних квадратов и предварительной фильтрацией опорного сигнала FXLMS [1, 2].

Структура контроллера системы АППШ при $J=K=M=2$ представлена на рисунке 1. Каждый j -й опорный сигнал обрабатывается KJ адаптивными фильтрами (АФ) и MK фильтрами-оценками (ФО) передаточной функции пути компенсации между излучателем и микрофоном ошибки [2]:

* Исследование выполнено при финансовой поддержке РФФИ в рамках научного проекта №14-07-31091 мол_а

$$y_{kj}(n) = \mathbf{w}_{kj}^T(n) * \mathbf{x}_j(n) = \sum_{i=0}^{N_{kj}-1} x_j(n-i) \cdot w_{kj}^i(n), \quad (1)$$

$$x'_{mkj}(n) = \hat{\mathbf{s}}_{mk}^T * \mathbf{x}_j(n) = \sum_{i=0}^{L_{mk}-1} x_j(n-i) \cdot \hat{s}_{mk}^i, \quad (2)$$

где n – номер интервала дискретизации, $y_{kj}(n)$ – kj -й компонент k -го компенсирующего сигнала $y_k(n)$, $\mathbf{w}_{kj}(n) = [w_{kj}^0(n) \ w_{kj}^1(n) \ \dots \ w_{kj}^{N-1}(n)]^T$ – вектор весовых коэффициентов kj -го АФ на n -ном интервале дискретизации, $\mathbf{x}_j(n) = [x_j(n) \ x_j(n-1) \ \dots \ x_j(n-N+1)]^T$ – вектор отсчетов j -го опорного сигнала, N_{kj} – порядок kj -го АФ, $x'_{mkj}(n)$ – результат фильтрации j -го опорного сигнала mk -м ФО, $\hat{\mathbf{s}}_{mk} = [\hat{s}_{mk}^0 \ \hat{s}_{mk}^1 \ \dots \ \hat{s}_{mk}^{L-1}]^T$ – вектор весовых коэффициентов mk -го ФО, L_{mk} – порядок mk -го ФО. Коэффициенты каждого АФ пересчитываются с учетом всех имеющихся в системе сигналов ошибки [2]:

$$w_{kj}^i(n+1) = w_{kj}^i(n) + \mu \cdot \sum_{m=1}^M e_m(n) \cdot x'_{mkj}(n-i), \quad (3)$$

где $w_{kj}^i(n+1)$ – новое значение i -го коэффициента kj -го АФ, $w_{kj}^i(n)$ – текущее значение i -го коэффициента kj -го АФ, μ – шаг сходимости [3], $e_m(n)$ – m -й сигнал ошибки, $x'_{mkj}(n-i)$ – $n-i$ -й отсчет j -го опорного сигнала, отфильтрованного mk -м ФО.

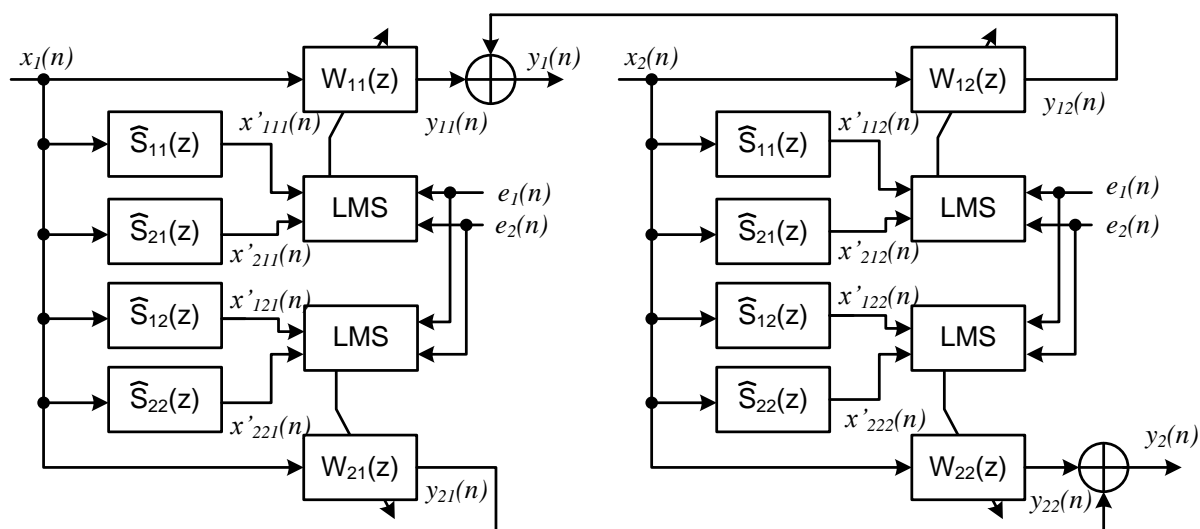


Рис. 1. Структура контроллера системы АПШ при $J=K=M=2$

Требуемая производительность контроллера системы АПШ определяется, в основном, общим количеством операций умножения с накоплением N_{MAC} , которое необходимо выполнить фильтру системы в единицу времени (эта величина обычно измеряется в миллионах операций в секунду – MACs):

$$N_{MAC} = F_s \cdot [(N + L) \cdot M \cdot K \cdot J + N \cdot K \cdot L], \quad (4)$$

где F_s – частота дискретизации системы АПШ. В (4) и далее в статье порядки АФ и ФО принимаются равными N и L соответственно.

АФ наибольших порядков (до нескольких тысяч коэффициентов) требуются, если система АПШ предназначена для подавления случайного низкочастотного шума – ориентировочно от 100 до 1000 Гц. Это требование связано с тем, что АФ совместно с ФО должен имитировать передаточную функцию пути распространения шума от опорного микрофона до излучателя в широком диапазоне частот [4, 5].

В большинстве случаев контроллеры систем АПШ реализуются на сигнальных процессорах [1, 2, 6, 7]. С учетом того, что значения N и L могут достигать до нескольких тысяч [1, 5, 6], J , K и M обычно составляют несколько десятков [1, 2], а F_s должна примерно в десять раз превышать частоты подавляемого шума [1], для подавления случайного низкочастотного шума от процессора может потребоваться производительность до нескольких десятков GMACs и более. Данное требование приблизительно соответствует пиковой производительности наиболее быстрых на данный момент многоядерных сигнальных процессоров [8]. В тех случаях, когда производительности одного процессора недостаточно, может использоваться их объединение в массив [1, 6, 7]. С другой стороны, реализация высокопроизводительных контроллеров многоканальных систем АПШ возможна на программируемых логических интегральных схемах (ПЛИС). Производительность современных ПЛИС может достигать тысяч GMACs благодаря наличию тысяч ячеек цифровой обработки сигналов (ЦОС-ячеек) [9]. Такое количество ЦОС-ячеек, наряду с возможностью программирования межсоединений логических ресурсов ПЛИС позволяет реализовывать многоканальный FXLMS-фильтр различными способами. К тому же, ПЛИС последних поколений могут работать с переменными, представленными в форматах и с фиксированной, и с плавающей запятой [10]. В настоящей работе автор сравнивает два подхода к реализации многоканального АФ на ПЛИС, приводит описание архитектуры АФ в виде массива вычислительных блоков и анализирует производительность фильтра этой архитектуры.

1. ПОДХОДЫ К РЕАЛИЗАЦИИ НА ПЛИС МНОГОКАНАЛЬНОГО FXLMS-ФИЛЬТРА

Можно выделить два основных подхода к реализации многоканального FXLMS-фильтра на базе ЦОС-ячеек ПЛИС [11]. Первый подход предполагает модификацию архитектуры систолического КИХ-фильтра порядка N путем установки на входе фильтра мультиплексора входных сигналов, добавления к каждому отводу фильтра ОЗУ для хранения его коэффициентов, и добавления между отводами фильтра элементов задержки на $J(MK+1)$ тактов для сохранения и продвижения мультиплексированного потока данных [12]. Полученная структура будет работать в режиме мультиплексирования во времени. Одним из недостатков данной архитектуры является то, что она требует большого количества (N) ЦОС-ячеек. При этом часть

ЦОС-ячеек придется оставить неиспользованными. Дело в том, что у ПЛИС количество ЦОС-ячеек приблизительно равно количеству блоков памяти размером 18 кбит [9], и если объема памяти одного блока недостаточно для размещения элемента задержки между соседними отводами фильтра, как минимум каждая вторая ЦОС-ячейка будет простаивать. С еще большей вероятностью часть ЦОС-ячеек останется неиспользованной, если блочная память используется и для хранения коэффициентов фильтров. Если же хранить коэффициенты фильтров в распределенной памяти ПЛИС, может произойти существенное снижение производительности.

В рамках второго подхода многоканальный FXLMS-фильтр реализуется в виде массива отдельных вычислительных блоков, состоящих из одной или нескольких ЦОС-ячеек. В отличие от предыдущего варианта, количество вычислительных блоков пропорционально произведению любых двух из трех параметров – M , K и J . Каждый вычислительный блок работает с собственным набором коэффициентов фильтров, входных и выходных сигналов и последовательно выполняет N или L операций умножения с накоплением. При таком подходе увеличение M , K , J , L или N , или любой комбинации этих параметров, не должно приводить к изменениям структуры вычислительного блока; оно может повлиять только на общее количество вычислительных блоков в массиве и/или требуемый объем памяти. Однако увеличение размеров устройства, реализуемого на ПЛИС, может привести к снижению его производительности. В многоканальных системах АПШ M обычно больше, чем J или K [1, 2], поэтому целесообразно реализовывать массив размерностью $K \times J$. Архитектура многоканального FXLMS-фильтра, представляющая собой массив вычислительных блоков размерностью $K \times J$, анализируется далее.

2. АРХИТЕКТУРА МНОГОКАНАЛЬНОГО FXLMS-ФИЛЬТРА

Предлагаемая архитектура представлена на рисунке 2. Каждый kj -й вычислительный блок содержит две ЦОС-ячейки (DSP slice1, DSP slice 2), и два блока памяти ($\mu X'_{mkj_RAM}$, W_{kj_RAM}).

В каждом kj -м блоке ЦОС-ячейка 1 обрабатывает j -й опорный сигнал коэффициентами kj -го АФ – при этом получается j -й компонент компенсирующего сигнала ($y_{kj}(n)$) – и коэффициентами M mk -х фильтров-оценок – при этом получаются M значений $x'_{mkj}(n)$ (1, 2). ЦОС-ячейка 2 вычисляет новый набор коэффициентов kj -го АФ (3). Режимы работы обеих ЦОС-ячеек программируются, как показано на рисунке 3.

Блок памяти W_{kj_RAM} содержит N коэффициентов АФ, и полностью обновляется на каждом интервале дискретизации. Блок памяти $\mu X'_{mkj_RAM}$ представляет собой циклический буфер, содержащий $N+1$ наборов по M значений $x'_{mkj}(n-i)$, полученных в результате фильтрации j -го опорного сигнала M фильтрами ФО. Организация блоков памяти показана на рисунке 4.

На текущем временном интервале ЦОС-ячейка 2 использует N наборов по M значений $x'_{mkj}(n-i)$ (где $i=1 \dots N$, см. рисунок 4) для вычисления новых коэффициентов kj -го АФ (3). В это же время ЦОС-ячейка 1 обрабатывает опорный сигнал с

использованием коэффициентов M фильтров ФО, и записывает M новых значений в $\mu X'_{mkj}$ -RAM. После этих процедур ЦОС-ячейка 1 обрабатывает опорный сигнал новыми коэффициентами АФ.

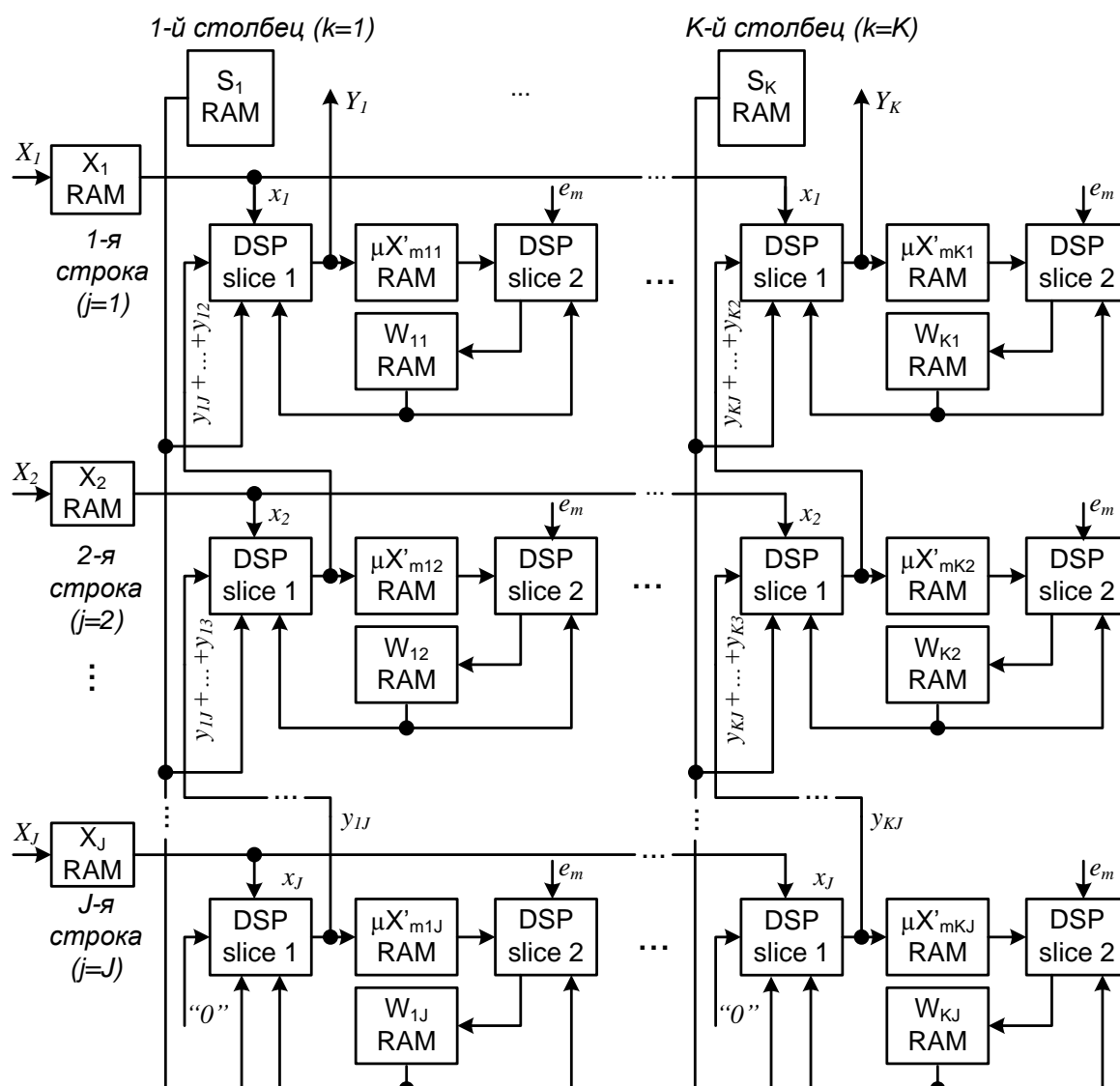


Рис. 2. Многоканальный FXLMS-фильтр в виде массива вычислительных блоков

Каждая j -я строка вычислительных блоков работает с одним и тем же опорным сигналом, который поступает на ЦОС-ячейки 1 каждого из K вычислительных блоков строки. N отсчетов j -го опорного сигнала содержатся в блоке памяти X_j -RAM. Каждый k -й столбец формирует компенсирующий сигнал $y_k(n)$ путем суммирования его компонентов, полученных J вычислительными блоками столбца (рисунок 2). При расчете $x'_{mkj}(n)$ вычислительные блоки в каждом k -м столбце используют один и тот же блок памяти S_k -RAM, содержащий коэффициенты M ФО (рисунок 4). M сигналов ошибки поступают на ЦОС-ячейки всех блоков массива с блока памяти e_m -RAM (на рисунке 2 он не показан).

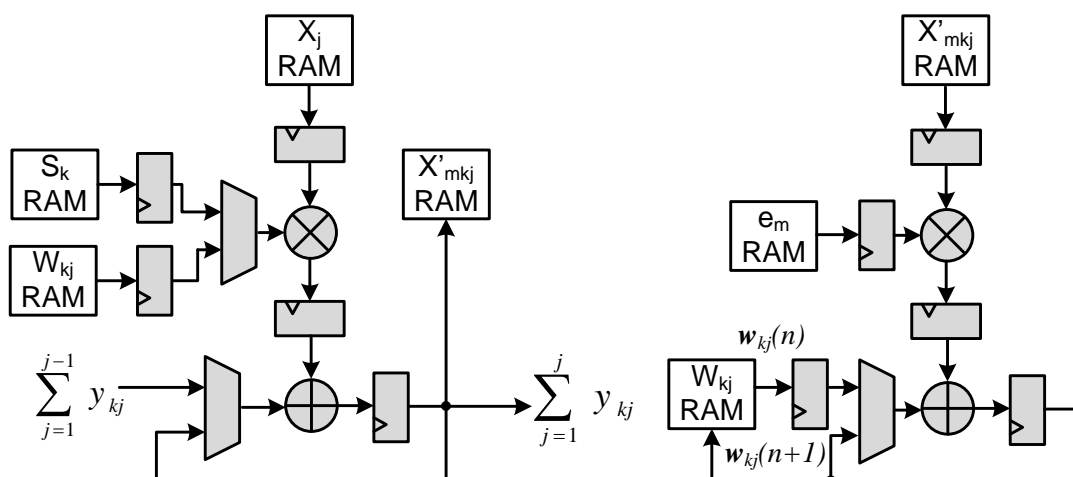


Рис. 3. Режимы работы ЦОС-ячейки 1 (слева) и ЦОС-ячейки 2.

Элементы ЦОС-ячеек показаны серым цветом

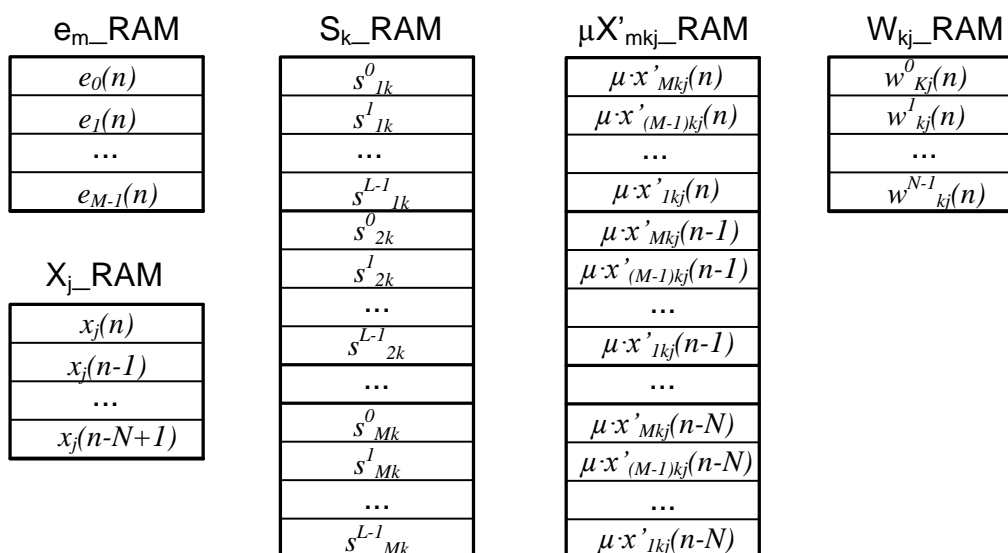


Рис. 4. Организация блоков памяти

3. ПРЕДВАРИТЕЛЬНАЯ ОЦЕНКА РЕСУРСОЕМКОСТИ И ДОСТИЖИМЫХ РАБОЧИХ ЧАСТОТ ФИЛЬТРА

Для реализации многоканального FXLMS-фильтра, архитектура которого представлена на рисунке 2, необходимо $2KJ$ ЦОС-ячеек. Такое количество ЦОС-ячеек доступно даже на недорогих ПЛИС последних поколений.

Объем памяти, требуемый для реализации многоканального АФ, не зависит от архитектуры фильтра [11]. При 18-битном представлении чисел реализация фильтра потребует $18 \cdot [KJ \cdot (N + MN + M) + KML + JN + K]$ бит памяти. Однако архитектура фильтра определяет организацию блоков памяти и требования к объему каждого из них. Для представленной архитектуры требования к организации и объему блоков памяти сведены в таблицу 1.

Из таблицы 1 следует, что примерно половина требуемого объема памяти используется для реализации блоков $\mu X'_{mkj_RAM}$. Тем не менее, можно добиться значительной экономии памяти, если сохранять в блоках $\mu X'_{mkj_RAM}$ не сами значения $x'_{mkj}(n)$, а результаты их умножения на μ , принятый равным отрицательной степени двойки. При этом каждая из ячеек памяти будет содержать по 5-6 старших разрядов $x'_{mkj}(n)$.

Таблица 1. Требования к организации и объему блоков памяти

Блок памяти	Требуемое количество блоков	Требуемое количество ячеек памяти в блоке
X_j_RAM	J	N
S_k_RAM	K	LM
e_m_RAM (не показан на рисунке 2)	1	M
W_{kj_RAM}	KJ	N
$\mu X'_{mkj_RAM}$	KJ	$M \cdot (N+1)$

В настоящее время общий объем блочной памяти ПЛИС может составлять до нескольких десятков Мбит [9]. Если J , K и M составляют несколько десятков, $L \leq N$, и блоки памяти $\mu X'_{mkj_RAM}$ содержат 5-6 старших разрядов $x'_{mkj}(n)$, порядок АФ и ФО в каждом из каналов может достигать нескольких тысяч.

Тактовая частота контроллера системы АПШ должна быть как минимум в P раз выше частоты дискретизации системы (P – количество тактов, необходимое вычислительному блоку для выполнения всех операций за один интервал дискретизации). Количество тактов, необходимое для каждой из операций, приведено в таблице 2. Поскольку новые коэффициенты АФ вычисляются одновременно с обработкой опорного сигнала, ЦОС-ячейки программируются в соответствии с рисунком 3, $J \ll N$, а $M \cdot (L+3)$ меньше, чем $N \cdot (M+5)$, минимальная тактовая частота может быть оценена следующим образом:

$$f_{op} > F_s N (M+6). \quad (5)$$

Таблица 2. Количество тактов, требуемое для каждой из операций вычислительного блока

Операция	Пересчет коэффициентов АФ и обновление блока памяти W_{kj_RAM}	Обработка опорного сигнала M фильтрами ФО и обновление блока памяти $\mu X'_{mkj_RAM}$	Обработка опорного сигнала фильтром АФ и вычисление $y_k(n)$
Кол-во тактов	$N \cdot (M+5)$	$M \cdot (L+3)$	$N+3 + J-1$

Требуемая для многоканального FXLMS-фильтра тактовая частота должна соответствовать скоростным характеристикам ПЛИС. С учетом того, что F_s обычно составляет единицы кГц [1], M – несколько десятков, а N – до нескольких тысяч, требуемая рабочая частота может составлять от нескольких десятков до нескольких сотен МГц. Несмотря на то, что по отдельности ЦОС-ячейки и блочная память могут

работать на частотах порядка 500-700 МГц [13-15], производительность массива вычислительных блоков, реализованного на ПЛИС, может существенно снизиться с увеличением его размеров. Это может произойти вследствие увеличения задержек распространения сигналов внутри массива. В следующем разделе анализируется зависимость максимальной тактовой частоты массива от его размера.

4. РЕЗУЛЬТАТЫ ВРЕМЕННОГО АНАЛИЗА И ИХ ОБСУЖДЕНИЕ

Результаты временного анализа проекта многоканального FXLMS-фильтра, представленные ниже, получены для ПЛИС Xilinx 7 серии [9] при условии 18-разрядного представления чисел.

Прежде всего, необходимо рассмотреть зависимость производительности отдельного вычислительного блока от параметров M и N . ЦОС-ячейка может работать с максимальной тактовой частотой при использовании внутренних конвейерных регистров, как показано на рисунке 3 [16]. Объем одного блока памяти ПЛИС составляет 36 кбит; блоки могут объединяться попарно без потерь производительности. Объединение большего количества блоков памяти вызывает снижение производительности из-за возникновения дополнительных задержек распространения сигналов между блоками. Тем не менее, задержки эти незначительны, т.к. ПЛИС располагает специальными трассировочными ресурсами для объединения блоков памяти [17].

Значения максимальных рабочих частот (f_{op_max}) вычислительных блоков при различных соотношениях $M \times N$, полученные в результате временного анализа проекта фильтра после его размещения и разводки на ПЛИС, представлены в таблице 3. Проект, реализованный на ПЛИС Artix 7 XC7A200T-3, содержит вычислительный блок с настраиваемым соотношением $M \times N$ и блок управления. Ячейки блока памяти $\mu X'_{mkj_RAM}$ 6-битные. Таблица 3 подтверждает, что максимальная производительность вычислительных блоков соответствует случаям, когда $\mu X'_{mkj_RAM}$ уместается в одном или двух блоках памяти по 36 кбит.

Таблица 3. Максимальные рабочие частоты вычислительного блока при его реализации на ПЛИС XC7A200T-3

$M \times N$	2×1024	6×1024	12×1024	24×1024	32×1024	64×1024
f_{op_max} , МГц	447	447	447	446	400	337

На массив вычислительных блоков в целом задержки распространения сигналов влияют более существенно. Задержка распространения сигнала в ПЛИС зависит от количества переключающихся элементов на пути его распространения, а также от коэффициента разветвления по выходу элемента-источника сигнала. Для рассматриваемой архитектуры фильтра первый из параметров зависит от расстояния между соединяемыми элементами; второй определяется общим количеством вычислительных блоков. Таким образом, оба параметра пропорциональны K и J . Возрастание M будет ухудшать производительность в меньшей степени: во-первых,

между блоками памяти имеются специальные трассировочные ресурсы; во-вторых, увеличение M не влечет за собой столь значительного разветвления сигналов, как увеличение K и J .

В таблицах 4–6 приведены максимальные тактовые частоты массивов вычислительных блоков для различных размеров массивов и соотношений $M \times N$.

Таблица 4. Максимальные тактовые частоты массивов вычислительных блоков, достижимые на ПЛИС XC7A200T-3 при соотношении $M \times N$ 2×1024

	Размер массива, $K \times J$				
	2×2	4×4	6×6	8×8	10×10
f_{op_max} , МГц (коэффициент разветвления по умолчанию)	447	406	346	309	255
f_{op_max} , МГц (сниженный коэффициент разветвления)	447	440	408	357	312

Таблица 5. Максимальные тактовые частоты массивов вычислительных блоков, достижимые на ПЛИС 7 серии при соотношении $M \times N$ 12×1024

	ПЛИС	Размер массива, $K \times J$				
		2×2	4×4	6×6	8×8	10×10
f_{op_max} , МГц (коэффициент разветвления по умолчанию)	XC7A200T-3	409	324	268	241	220
	XC7K325T-3	528	421	367	317	289
	XC7VX415T-3	504	421	325	303	304
f_{op_max} , МГц (сниженный коэффициент разветвления)	XC7A200T-3	421	339	293	256	227
	XC7K325T-3	528	425	400	333	310
	XC7VX415T-3	524	439	402	335	313

Таблица 6. Максимальные тактовые частоты массивов вычислительных блоков, достижимые на ПЛИС 7 серии при соотношении $M \times N$ 36×1024

	ПЛИС	Размер массива, $K \times J$				
		2×2	4×4	6×6	8×8	10×10
f_{op_max} , МГц (коэффициент разветвления по умолчанию)	XC7A200T-3	393	333	222	-	-
	XC7K325T-3	442	400	303	142	-
	XC7VX415T-3	477	414	313	144	125
f_{op_max} , МГц (сниженный коэффициент разветвления)	XC7A200T-3	396	333	222	-	-
	XC7K325T-3	441	400	322	144	-
	XC7VX415T-3	480	416	325	185	147

Таблицы 4–6 содержат результаты временного анализа для двух вариантов настроек коэффициентов разветвления: значения по умолчанию (при этом коэффициент равен 100000) и сниженного значения. Снижение коэффициентов разветвления подбиралось индивидуально для каждого размера массива. Содержащиеся в таблицах 4–6 результаты анализа показывают, что снижение коэффициента разветвления позволяет лишь незначительно улучшить производительность. Следовательно, задержки распространения сигналов по массиву вычислительных блоков в большей степени определяются расстояниями между логическими элементами.

С другой стороны, подведения ко всем вычислительным блокам требуют только сигналы ошибки, а также адресные и управляющие сигналы. Конвейеризация этих сигналов может сохранить производительность массивов больших размеров. В таблице 7 приведены результаты временного анализа, полученные для массивов вычислительных блоков различных размеров при условии конвейеризации сигналов ошибки, управляющих и адресных сигналов, а также коэффициентов ФО. В результате конвейеризации каждая строка в массиве получает сигналы с задержкой на один такт по сравнению с предыдущей строкой.

Таблица 7. Максимальные тактовые частоты массивов вычислительных блоков, достижимые на ПЛИС 7 серии при соотношении $M \times N$ 36×1024 при отсутствии и наличии конвейеризации

Размер массива, $K \times J$	4×4	4×4	4×4	8×8	8×8
ПЛИС	XC7A200T-3	XC7K325T-3	XC7VX415T-3	XC7K325T-3	XC7VX415T-3
f_{op_max} , МГц (без конвейеризации)	333	400	414	142	144
f_{op_max} , МГц (с конвейеризацией)	357	425	406	246	295

ЗАКЛЮЧЕНИЕ

Увеличение количества каналов системы АПШ и производительности ее контроллера способствуют расширению диапазона частот подавляемого шума, повышению уровня подавления шума в контролируемой области и увеличению размеров «зоны тишины», формируемой системой. Предложенное в работе решение позволяет перейти от многопроцессорной реализации контроллера системы к использованию одной микросхемы ПЛИС.

Предложенная архитектура многоканального FXLMS-фильтра обеспечивает сбалансированное соотношение объемов параллельных и последовательных операций. Основное преимущество архитектуры состоит в том, что требуемое количество ЦОС-ячеек пропорционально количеству излучателей и опорных микрофонов, которых в системах АПШ обычно меньше, чем микрофонов ошибки, и намного меньше, чем количество коэффициентов фильтров. Таким образом, реализация фильтра предложенной архитектуры возможна даже на недорогих ПЛИС с небольшим количеством ячеек цифровой обработки сигналов.

ЛИТЕРАТУРА

1. C.H. Hansen et al, *Active Control of Noise and Vibration*, 2-nd ed., CRC Press, 2012.
2. S.M. Kuo and D.R. Morgan, *Active Noise Control Systems: Algorithms and DSP Implementations*, John Wiley & Sons, 1995.
3. B. Widrow and S.D. Stearns, *Adaptive Signal Processing*, Prentice-Hall, 1985.
4. Ушенина И.В. Математическая модель системы активного подавления случайного низкочастотного шума // Технические науки — от теории к практике / Сб. ст. по материалам LII международной научно-практической конференции. – 2015. – с. 49-54.
5. D.R.Morgan and D.A. Quinlan, “Local silencing of room acoustic noise using broadband active noise control”, *Applications of Signal Processing to Audio and Acoustics*, 1993. Final Program and Paper Summaries, 1993 IEEE Workshop on. IEEE, 1993.
6. X. Qiu, N. Li, G. Chen, and C. H. Hansen, “The implementation of delayless subband active noise control algorithms”, in *Proceedings of the 2006 International Symposium on Active control of Sound and Vibration*, September, 2006.
7. X. Qiu, N. Li, G. Chen, “Multiprocessor DSP Systems for Active Control”, in *Proceedings of 18th International Congress on Acoustics*, 2004.
8. Texas Instruments Inc, <http://www.ti.com/lscs/ti/processors/dsp/overview.page>
9. 7 Series FPGAs Overview, http://www.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf
10. High-Level Implementation of Bit- and Cycle-Accurate Floating-Point DSP Algorithms with Xilinx FPGAs, http://www.xilinx.com/support/documentation/white_papers/wp409_Floating_Point_DSP_Algorithms.pdf
11. Ушенина И.В. Способы реализации на ПЛИС многоканальных адаптивных КИХ-фильтров для систем активного подавления акустического шума // Цифровая обработка сигналов. – 2015. – № 4. – с.49-54.
12. Hawkes, G.C., *DSP: Designing for Optimal Results. High-Performance DSP Using Virtex-4 FPGAs*, Xilinx, 2005.
13. Artix-7 FPGAs Data Sheet: DC and AC Switching Characteristics, http://www.xilinx.com/support/documentation/data_sheets/ds181_Artix_7_Data_Sheet.pdf
14. Kintex-7 FPGAs Data Sheet: DC and AC Switching Characteristics, http://www.xilinx.com/support/documentation/data_sheets/ds182_Kintex_7_Data_Sheet.pdf
15. Virtex-7 T and XT FPGAs Data Sheet: DC and AC Switching Characteristics, http://www.xilinx.com/support/documentation/data_sheets/ds183_Virtex_7_Data_Sheet.pdf
16. 7 series DSP48E1 Slice User Guide, http://www.xilinx.com/support/documentation/user_guides/ug479_7Series_DSP48E1.pdf
17. 7 series FPGAs Memory Resources User Guide, http://www.xilinx.com/support/documentation/user_guides/ug473_7Series_Memory_Resources.pdf