

А. В. Яковлев, В. А. Соснин

*ФГУП «Крыловский государственный научный центр», Россия, 196158, Санкт-Петербург, Московское шоссе, 44, e-mail: [versy59@yandex.ru](mailto:versy59@yandex.ru)*

## Цифровая обработка акустических импульсов в системе акустико-эмиссионной диагностики КАЭМС

*Получена 22.03.2018, опубликована 05.10.2018*

Представлена блок-схема платы сбора и предварительной обработки акустических импульсов, реализованной в новом поколении системы акустико-эмиссионной диагностики КАЭМС. Детально описываются модули цифровой обработки акустических импульсов, встроенные в микросхему FPGA Altera Stratix, и дополнительная обработка данных в процессоре NIOS.

Ключевые слова: акустическая эмиссия, цифровая обработка сигналов, программируемые логические интегральные схемы

### ВВЕДЕНИЕ

Под акустической эмиссией (АЭ) понимается процесс излучения импульсов акустических волн, генерируемых различными дефектами в материале объекта контроля при его деформировании. АЭ-диагностика осуществляется путем регистрации, измерения, вычисления и комплексного анализа параметров ультразвуковых импульсов, возникающих в процессе контроля. Оценка качества объектов контроля производится путем выявления в материале объектов акустически-активных зон или локальных групп АЭ-источников (потенциальных дефектов структуры материала) с оценкой степени их опасности.

Метод АЭ имеет безусловные значительные успехи в теоретических и экспериментальных исследованиях механизмов разрушения материалов, наряду с промышленным применением при пневмо- и гидроиспытаниях сосудов. Однако его широкое практическое применение в таких задачах как диагностика дефектности сварных швов при их изготовлении и мониторинг крупногабаритных ответственных конструкций в режиме их эксплуатации затруднено необходимостью обработки больших потоков акустических импульсов помех и предъявляет специфические требования к АЭ-аппаратуре в части ее возможностей регистрации и обработки.

Современные АЭ-системы характеризуются возможностью анализа широкополосных сигналов (обычно в частотном диапазоне 100-700 кГц и выше). При этом можно выделить два кардинально отличных по принципу анализа импульсов подхода к обработке:

- регистрация волновой формы сигнала с подробным ее анализом в центральном компьютере и вычислением большого числа разнообразных параметров импульсов [1, 2];
- аппаратная обработка сигнала на плате с вычислением ограниченного числа параметров (обычно это амплитуда, длительность импульса, разница времен приходов импульсов на соседние каналы, энергия импульса) [3].

Аппаратура первой группы дает детальное представление о характеристиках принятых импульсов, но отличается сравнительно низким быстродействием (менее 100 имп/с), что приводит к потерям сигналов при больших потоках информации. Аппаратура второй группы может справляться с большими потоками импульсов (более 1000 имп/с), но дает мало данных о принятых сигналах, что затрудняет их анализ и распознавание помех.

При разработке нового поколения АЭ-системы КАЭМС была сделана попытка объединить лучшие стороны аппаратуры этих двух типов и реализовать достаточно детальный анализ сигналов в сочетании с высоким быстродействием.

В аппаратной части КАЭМС использована технология измерения, основанная на оцифровке регистрируемых широкополосных сигналов быстродействующими аналого-цифровыми преобразователями (АЦП) и их последующей обработке с помощью программируемых логических интегральных микросхем (ПЛИС) типа FPGA (Field-ProgrammableGateArray). Применение технологии ПЛИС, наряду с использованием современной элементной и конструктивной базы, позволило значительно повысить быстродействие аппаратной части системы и расширить возможности цифровой обработки импульсов, встроенной в платы АЭ-АЦП.

В каждом измерительном канале АЭ-системы происходит цифровая обработка волновой формы регистрируемых сигналов с измерением их параметров, включая характеристики формы и частотного состава импульсов.

## БЛОК-СХЕМА ПЛАТЫ АЭ-АЦП

Блок-схема измерительной части платы АЭ-АЦП системы акустико-эмиссионной диагностики КАЭМС приведена на рисунке 1. Кроме показанных на этом рисунке компонентов, на плате находятся различные питающие и согласующие схемы, необходимые для ее нормальной работы.

Плата содержит два независимых идентичных канала приема, входы которых обозначены как «BNC». Входные напряжения, поступающие в каналы с выхода предварительных усилителей приемных преобразователей (ПАЭ), через фильтры («Фильтр1») подаются на входы операционных усилителей с переменным коэффициентом усиления (модель AD603), где усиливаются или ослабляются в зависимости от настроек. Коэффициенты усиления/ослабления усилителей задаются напряжениями, подаваемыми на их управляющие контакты с многоканального цифро-аналогового преобразователя ЦАП (модель AD8803).

Напряжения с выхода входных каскадов поступают на входы быстродействующих аналого-цифровых преобразователей АЦП (модель AD9220), которые оцифровывают

аналоговые напряжения и передают цифровые данные по параллельной шине D в программируемую логическую интегральную микросхему ПЛИС для дальнейшей обработки.

Коэффициент преобразования входного напряжения и его зависимость от частоты сигнала определяется входным каскадом платы, состоящим из схем Фильтр1, усилителя AD603 и Фильтр2. Коэффициент преобразования входного каскада подобран таким образом, что переменное входное напряжение с амплитудой 10000 мВ при нулевом усилении входного усилителя соответствует максимуму входного диапазона АЦП (1000 мВ). Полоса пропускания входного каскада 5-2000 кГц.

Шина D имеет 12 разрядов [11..0] для данных АЦП и дополнительный разряд [12] для бита переполнения. Особенностью применяемой схемы является беззнаковый формат значений АЦП, при этом значение D=0 соответствует предельному отрицательному значению диапазона АЦП, т. е. -2048, значение D=2048 соответствует нулевому значению диапазона, т. е. 0, а значение D=4095 соответствует максимальному положительному значению диапазона, т. е. +2047.

Микросхема ПЛИС (модель Stratix II EP2S30F672) выполнена по технологии FPGA (Field-ProgrammableGateArray). Тактовая частота  $F_{gen}=32$  МГц, необходимая для работы ПЛИС и схемы измерения времени, формируется микросхемой кварцевого генератора. Управление работой микросхемы ПЛИС и получение из нее данных обработки входных сигналов осуществляется центральным процессором модуля сбора через стандартную интерфейсную шину PCI.

Микросхема ПЛИС кроме обработки оцифрованных данных управляет по последовательной шине SPI микросхемой ЦАП и формирует тактовую частоту  $F_{adc}$  оцифровки АЦП. Кроме этого, для синхронной работы счетчиков времени плат АЭ-АЦП в микросхеме ПЛИС генерируются импульсы синхронизации  $F_{sout}$ , которые через специализированный межплатный кабель подаются на вход  $F_{sin}$  соседней платы.

Выбор микросхемы Stratix в качестве центрального устройства цифровой обработки импульсов обусловлен оптимальным соотношением цена-производительность для решения необходимых задач. Ранее, в 90-х годах XX века, в этой области безусловным лидером были цифровые сигнальные процессоры (ЦСП), но в последние 10-15 лет с появлением на рынке высокопроизводительных ПЛИС фирм Altera и Xilinx с большим числом логических ячеек, встроенной памятью и встроенными множителями ситуация кардинально изменилась.

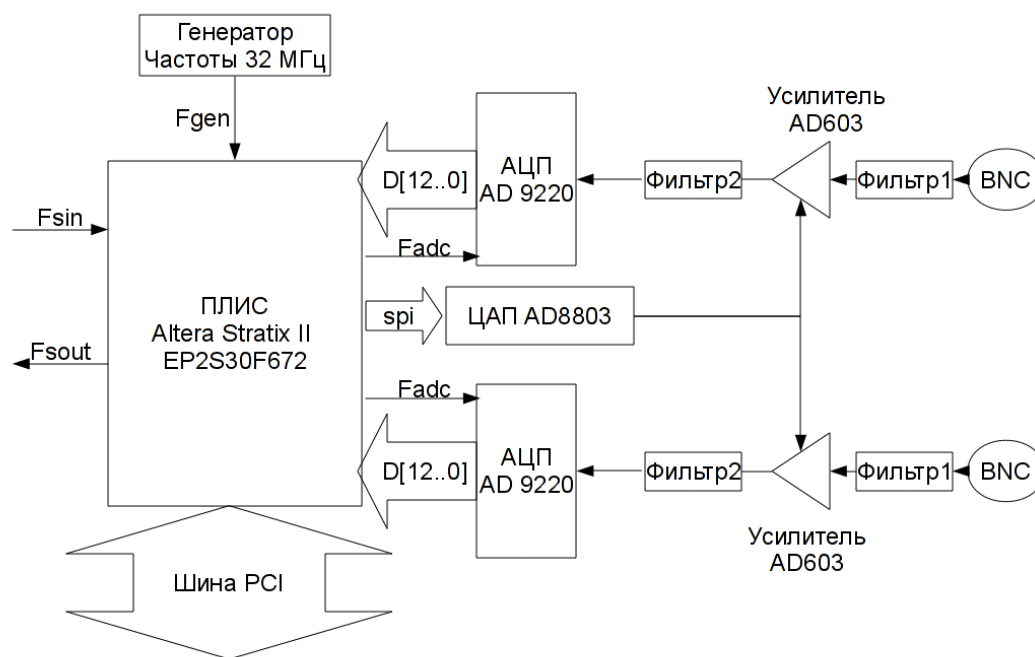


Рис. 1. Блок-схема платы АЭ-АЦП системы КАЭМС

Например, в работе [4] показано, что при решении одной и той же задачи на ЦСП TigerSHARC ADSP-TS201S (производства Analog Devices), который работает на частоте 500 МГц, и на FPGA Stratix III EP3SL150 (производства Altera), работающего на частоте 150 МГц, выигрыш в скорости вычислений составлял более чем 5 раз в пользу FPGA. В работе [5] показано, что FPGA при равной стоимости с ЦСП значительно превосходят их в производительности и имеют меньшее энергопотребление.

Основное преимущество использования ПЛИС заключается в возможности реализовать высокопроизводительную параллельную обработку цифровых данных в блоках, вычисляющих различные параметры. Именно такой подход реализован в проекте АЭ-АЦП.

### БЛОК-СХЕМА ЦИФРОВОЙ ОБРАБОТКИ АКУСТИЧЕСКИХ ИМПУЛЬСОВ

Блок-схема цифровой обработки информации в микросхеме ПЛИС, которая программируется при изготовлении платы АЭ-АЦП, показана на рисунке 2. При обработке оцифрованной информации реализуются следующие основные функции:

- регистрация момента первого превышения абсолютным значением оцифровки установленного цифрового порога дискриминации;
- формирование логического момента окончания зарегистрированного импульса;
- измерение и вычисление параметров зарегистрированного акустического импульса на интервале времени между моментами его начала и окончания;
- отбраковка импульсов помех по их параметрам.

Следует отметить, что цифровая обработка сигнала выполняется в два этапа:

- на первом этапе — выполняется параллельное формирование основных (первичных) параметров импульса в сравнительно простых модулях ПЛИС, реализующих операции сравнения, сложения и комбинаторной логики и разработанных на языке проектирования Verilog;
- на втором этапе — вычисляются вторичные параметры импульса, получаемые из уже вычисленных первичных параметров (например, средняя амплитуда, которая получается в результате деления суммарной амплитуды на число отсчетов в импульсе), а также из дополнительной обработки осциллограммы импульса.

Второй этап цифровой обработки реализуется на языке программирования С в процессоре NIOS, встроенном в микросхему Altera. Для организации непрерывной конвейерной обработки сигналов параметры импульса, сформированные на первом этапе обработки, в момент окончания импульса заносятся в буферную память FIFO. Этот блок реализован на базе мегафункции памяти FIFO библиотеки Altera. Кроме того, в отдельную буферную память FIFO заносится ограниченное число (обычно 1024) точек осциллограммы волновой формы импульса. Далее происходит одновременно первичная обработка следующего импульса в модулях ПЛИС и вторичная обработка уже принятого импульса в процессоре NIOS после его считывания из FIFO параметров и FIFO осциллограмм.

Тактовые частоты для блоков цифровой обработки данных АЦП и для процессора NIOS формируются в специальном блоке преобразования частоты FGEN (32 МГц), поступающей с микросхемы кварцевого генератора в ПЛИС. Блок преобразования частоты делит FGEN на устанавливаемое в настройках значение (8, 16, 32, 64) генерируя, соответственно, тактовую частоту блоков цифровой обработки (4, 2, 1, 0.5 МГц). Для работы процессора FGEN умножается на 4, генерируя тактовую частоту работы процессора NIOS — 128 МГц.

В блоке «Синхронизация счетчиков времени» выполняется подсчет импульсов тактовой частоты в 48-разрядном счетчике времени. Счетчики времени плат периодически синхронизируются импульсами  $F_{sin}$ , которые генерируются платой АЭ-АЦП, аппаратно назначенной ведущей. При частоте  $F_{adc} = 4$  МГц емкость счетчика составляет 19546 часов.

Данные с микросхемы АЦП канала приема представляют собой поток знаковых десятичных чисел – значений входного напряжения, регистрируемых с заданным интервалом оцифровки (0,5 мкс для тактовой частоты 2 МГц). В микросхеме ПЛИС эти данные разделяются на несколько параллельных схем цифровой обработки, в ходе которой происходит вычисление параметров акустических импульсов.

Основная обработка проводится после преобразования входных данных в их абсолютное значение (блок «ABS»), т.е. отрицательная часть акустического импульса трансформируется в положительную. После этого происходит обработка по пороговой схеме в блоке «Схема порога», при этом регистрируются моменты первого и последнего превышения импульсом установленного порога дискриминации и генерируются соответствующие логические сигналы начала и конца импульса, которые подаются на другие блоки обработки («Схема времени и длительности», «Схема энергии», «Схема амплитуды и фронта», «Схема энергии ВЧ», «Схема энергии СВЧ»).

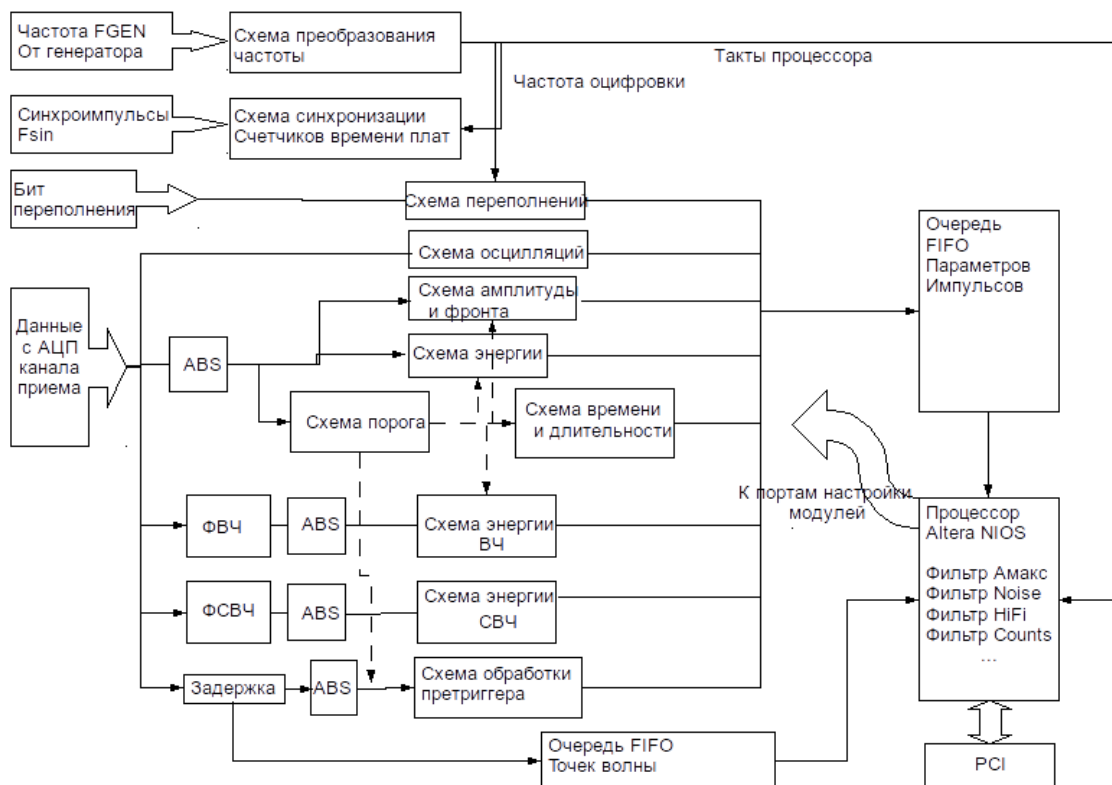


Рис. 2. Блок-схема цифровой обработки акустических импульсов

Величина порога дискриминации устанавливается настройкой блока или на фиксированное значение, или на переменное с заданным превышением среднего уровня сигналов (плавающий порог).

В блоке «Схема времени и длительности» проводится измерение момента времени начала импульса и вычисление длительности импульса как интервала между моментами окончания и начала импульса.

В блоке «Схема энергии» проводится вычисление суммы абсолютных значений измеренного входного напряжения на интервале длительности импульса, что соответствует интегрированию входного напряжения (площадь абсолютизированной осциллограммы сигнала). Этот параметр коррелирует с энергией импульса и в терминологии акустической эмиссии принят как параметр «MARSE».

В блоке «Схема амплитуды и фронта» проводится измерение максимального абсолютного значения входного напряжения на интервале полной длительности импульса и для начальной части импульса, и фиксируются соответствующие моменты времени относительно начала импульса. Эти параметры соответствуют пиковой амплитуде импульса и длительности его переднего фронта.

Суммарная амплитуда (энергия) сигнала определяется также после фильтрации высокочастотных составляющих сигнала в блоках «ФВЧ» (фильтр высоких частот) и

«ФСВЧ» (фильтр сверхвысоких частот), что дает возможность оценить степень высокочастотности исходного импульса. Эти блоки фильтрации реализованы на базе мегафункций цифровых фильтров FIR библиотеки Altera. Частоты среза этих фильтров устанавливаются настройкой модулей в следующих диапазонах относительных частот (0,1; 0,2; 0,3; 0,33; 0,4) — для фильтра ФВЧ и (0,5; 0,6; 0,7; 0,8; 0,9) — для фильтра ФСВЧ. Для получения частоты среза фильтра нужно приведенные коэффициенты умножить на значение частоты Найквиста.

Не абсолютизированные значения входного напряжения поступают на другие схемы обработки: блок «Схема осцилляций», схему регистрации волновой формы импульса (блок «Очередь FIFO точек волны») и блок «Схема обработки претриггера» (под претриггером понимается участок импульса, предшествующий моменту превышения им порогового значения).

Обработка претриггера импульса и запись волновой формы импульса (осциллограммы) проводятся после задержки (временного сдвига) потока входных данных в блоке «Задержка» на заданную величину тактов времени. Этот блок также реализован на базе мегафункции памяти FIFO библиотеки Altera.

В блоке «Схема обработки претриггера» производится вычисление суммы абсолютных значений импульса на интервале претриггера. Осциллограмма сигнала с учетом задержки записывается в память FIFO на плате АЭ-АЦП и впоследствии доступна для дальнейшей обработки.

Параллельно с оцифрованными значениями импульса обрабатывается признак переполнения динамического диапазона микросхемы АЦП. Соответствующая схема обработки формирует подсчет числа переполнений на интервале длительности импульса. Для импульсов, не превышающих диапазон АЦП, это значение равно 0.

Вышеперечисленные схемы обработки реализованы в микросхеме ПЛИС на уровне логических вентилях, что обеспечивает обработку сигнала в реальном времени с минимальными задержками. Сформированные значения параметров импульса непосредственно после его окончания заносятся в буферную память FIFO на плате АЭ-АЦП и становятся доступными для дальнейшей обработки в специализированном процессоре Altera NIOS, встроенном в микросхему ПЛИС. В плате АЭ-АЦП этот процессор используется для фильтрации импульсов по выбранным значениям параметров и для обмена данными с центральным процессором по шине PCI.

На блок-схеме также отмечены потоки считываемых процессором NIOS данных первичных параметров импульсов и точек осциллограмм из соответствующих FIFO.

Кроме того, показана такая важная функция процессора NIOS, как настройка блоков логической обработки, которая осуществляется путем записи им соответствующих значений во входные порты этих блоков. Данные для настройки блоков обработки процессор NIOS получает от центрального процессора по шине PCI, которая реализована на базе мегафункции PCI библиотеки Altera.

Как уже отмечалось в данной главе, при разработке проекта ПЛИС платы цифровой обработки сигналов АЭ-АЦП активно использовались блоки готовых решений — мегафункции, разрабатываемые фирмой Altera для собственных микросхем. Перечень

используемых мегафункций приведен в таблице 1, где указаны сведения о блоках цифровой обработки, в которых эти функции применены, и необходимость закупки дополнительной лицензии у фирмы.

Разумеется, блоки FIR и PCI возможно реализовать и путем самостоятельной разработки. Однако мегафункция FIR, разработанная Altera, максимально эффективно использует встроенные в ПЛИС блоки умножителей и ячеек памяти. Кроме того, в этой версии мегафункции имеется возможность запрограммировать при проектировании блока несколько наборов фильтров с возможностью селективного выбора в процессе работы [6].

Мегафункция PCI позволяет генерировать логику шины непосредственно внутри процессора NIOS.

Блоки очередей FIFO в реализации Altera имеют крайне полезную особенность, примененную при разработке проекта АЭ-АЦП. А именно, возможность использовать различные разрядности данных при записи в очередь и чтении из нее [7]. Например, при записи точек осциллограммы в соответствующую очередь FIFO они записываются поточечно с разрядностью 12 бит, а считываются попарно с разрядностью 24 бит, что значительно увеличивает скорость загрузки точек волны в процессор NIOS.

Мегафункция NIOS имеет и бесплатную реализацию, входящую в стандартную поставку пакета Quartus, однако она практически на порядок уступает в производительности платной версии процессора.

Дополнительные лицензии приобретаются разработчиком один раз, они необходимы для проектирования прошивки и имеют неограниченный срок действия.

Таблица 1. Мегафункции Altera, используемые в проекте платы АЭ-АЦП

Мегафункция	Блоки обработки	Требует дополнительной лицензии
PLL	Схема преобразования частоты	нет
FIFO	Очередь параметров импульсов, очередь точек волны, блок задержки	нет
FIR	ФВЧ, ФСВЧ	да
NIOS	Процессор платы	да
PCI	Шина PCI процессора	да



## ДОПОЛНИТЕЛЬНАЯ ОБРАБОТКА АКУСТИЧЕСКИХ ИМПУЛЬСОВ В ПРОЦЕССОРЕ NIOS

Мегафункция процессора NIOS предоставляет разработчику возможность генерации внутри микросхемы Altera достаточно мощного RISC ядра со следующими характеристиками:

- 32-х разрядная архитектура;
- кэширование машинных инструкций и данных;
- прогнозирование ветвления;
- аппаратное умножение и деление;
- доступ к внутренней памяти микросхемы типа RAM или ROM, или внешней типа DDR;
- библиотеку модулей для работы с последовательными протоколами (SPI, UART), Ethernet.

Кроме того, при настройке процессора NIOS разработчик может расширить его периферию, добавляя порты ввода-вывода заданной разрядности и подключая их к портами модулей обработки информации, спроектированных им на языке Verilog или Altera HDL [8].

Архитектура процессора NIOS поддерживает отдельные шины инструкций и данных, что позволяет отнести процессор к Гарвардской архитектуре. Шина данных подключается и к блокам памяти, и к периферийным компонентам, тогда как шина инструкций подключается только к компонентам памяти. Выделение ресурсов для процессора ограничивается возможностями конкретной ПЛИС, а именно, количеством логических ячеек, и количеством и емкостью встроенных блоков памяти. При использовании ПЛИС большой емкости разработчик при необходимости может встроить в нее несколько процессорных ядер NIOS.

В проекте АЭ-АЦП для размещения программных кодов выделен блок памяти типа M4K размером 20 Кб, а для размещения массивов данных — отдельный блок памяти типа MRAM размером 48 Кб.

Разработка ПО для процессора NIOS выполняется на языке программирования C в среде Eclipse IDE, настроенной для работы с NIOS добавлением соответствующих плагинов [9]. Разработанная программа объединяется с прошивкой ПЛИС и загружается в микросхему при включении аппаратуры. Программа NIOS должна содержать бесконечный цикл выполнения, она начинает исполняться сразу после загрузки.

На рисунке 3 показана блок-схема главного цикла ПО процессора NIOS для платы АЭ-АЦП, в котором выполняются следующие основные функции:

- обработка команд управления — процессор проверяет наличие данных в очереди FIFO команд, которая размещена в памяти PCI, и при их наличии считывает команду из очереди и выполняет ее. В перечень команд входят команды настройки, запуска, и остановки обработки импульсов. Параметры для настройки считываются процессором из блока общей памяти PCI;

- настройка модулей цифровой обработки (ЦО) путем записи параметров настройки в порты настройки;
- обработка данных модулей ЦО — в режиме сбора данных процессор проверяет наличие первичных параметров импульса в очереди FIFO параметров и при их наличии считывает эти данные и осциллограмму этого импульса и выполняет вычисление вторичных параметров;
- отбраковка импульсов помех — процессор сравнивает параметры импульса с заданными в настройке платы допустимыми значениями и в случае выхода параметра за пределы диапазона игнорирует этот импульс в дальнейшей работе;
- передача параметров импульсов в PCI — процессор упаковывает параметры импульса в массив 32-х разрядных значений и помещает их в очередь FIFO параметров импульсов, размещенную в памяти PCI, после чего эти параметры доступны для считывания и дальнейшей обработки центральным процессором модуля сбора;
- передача осциллограммы импульса в PCI — если в настройке платы включен режим регистрации волновых форм импульсов, то процессор NIOS упаковывает значения осциллограммы импульса в массив 32-х разрядных значений и помещает их в очередь FIFO осциллограмм импульсов, размещенную в памяти PCI, после чего эти значения доступны для считывания и дальнейшей обработки центральным процессором.

Наиболее важная часть этой программы — вычисление вторичных параметров импульсов, которая выполняется на базе первичных параметров, предварительно сформированных в логических блоках цифровой обработки, описанных в предыдущем разделе и зарегистрированных осциллограмм. В перечень вычисляемых параметров импульса входят:

- а) средняя амплитуда — отношение суммарной амплитуды (энергии) к числу отсчетов;
- б) параметр формы — отношение средней амплитуды к пиковой;
- с) параметр высокочастотности — отношение энергии высоких частот к полной энергии;
- д) параметр сверхвысокочастотности — отношение энергии сверхвысоких частот к полной энергии;
- е) параметр формы претриггера — отношение средней амплитуды в претриггере импульса к пиковой амплитуде импульса;
- ф) параметр нормальности — отношение пиковой амплитуды начальной части импульса к пиковой амплитуде полного импульса;
- г) параметр протяженности — отношение номера отсчета пиковой амплитуды начальной части импульса к номеру отсчета пиковой амплитуды полного импульса.

Кроме того, в процессоре NIOS определяются дополнительные характерные точки переднего фронта импульсов. При этом, определяются значения уровней  $\frac{1}{4}$ ,  $\frac{1}{2}$ ,  $\frac{3}{4}$  от пиковой амплитуды начальной части импульса и осциллограмма переднего фронта анализируется с целью определения моментов его пересечения с этими уровнями.



Рис. 3. Блок-схема обработки импульсов в процессоре NIOS

## РЕЗУЛЬТАТЫ РАЗРАБОТКИ

В плате АЭ-АЦП реализована аппаратная цифровая обработка акустических импульсов с вычислением всех необходимых для дальнейшего анализа параметров и встроенной отбраковкой импульсов помех по этим параметрам.

Наряду с полной цифровой обработкой сигналов на плате АЭ также выполняется запоминание их волновых форм, но поскольку отсутствует необходимость в их анализе, то их передача в центральный процессор является не приоритетной. В связи с этим, система КАЭМС может обрабатывать волновые формы сигналов в трех режимах:

а) без передачи форм сигналов в центральный процессор; передаются только параметры сигналов

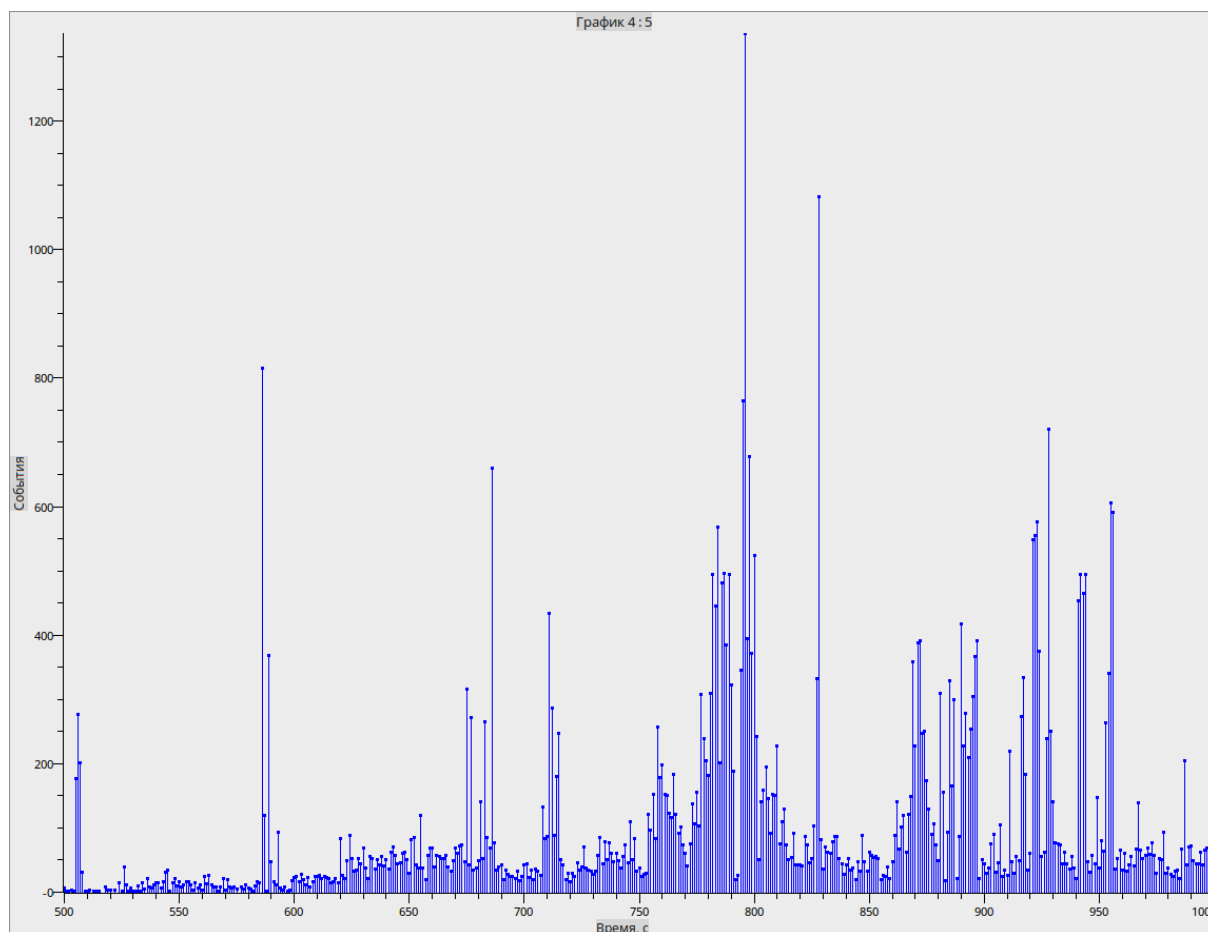


Рис. 4. График зависимости активности полезных сигналов от времени при АЭ-диагностике сварки системой КАЭМС

б) с частичной передачей форм, т. е. все сигналы обрабатываются и их параметры передаются в процессор, а волновые формы передаются только у нескольких первых сигналов в серии

с) с полной передачей форм и параметров сигналов

В режиме «а» плата АЭ-АЦП системы КАЭМС обеспечивает быстроедействие обработки порядка 5000 сигналов в секунду, в режиме «б» — около 2000 сигналов в секунду, а в режиме «с» — около 500 сигналов в секунду. Эти данные были получены при лабораторном тестировании системы.

Производительность системы КАЭМС в реальных условиях можно оценить по рисунку 4, на котором показан график зависимости активности (т. е. числа импульсов за 1 с) от времени, зарегистрированный при АЭ-диагностике процесса сварки системой КАЭМС. Видно, что система регистрировала до 1300 имп/с. Следует отметить, что при этой диагностике система работала в режиме (а) и активно использовались фильтры импульсов помех, встроенные в плату АЭ-АЦП, т. е. сигналы помех не регистрировались.

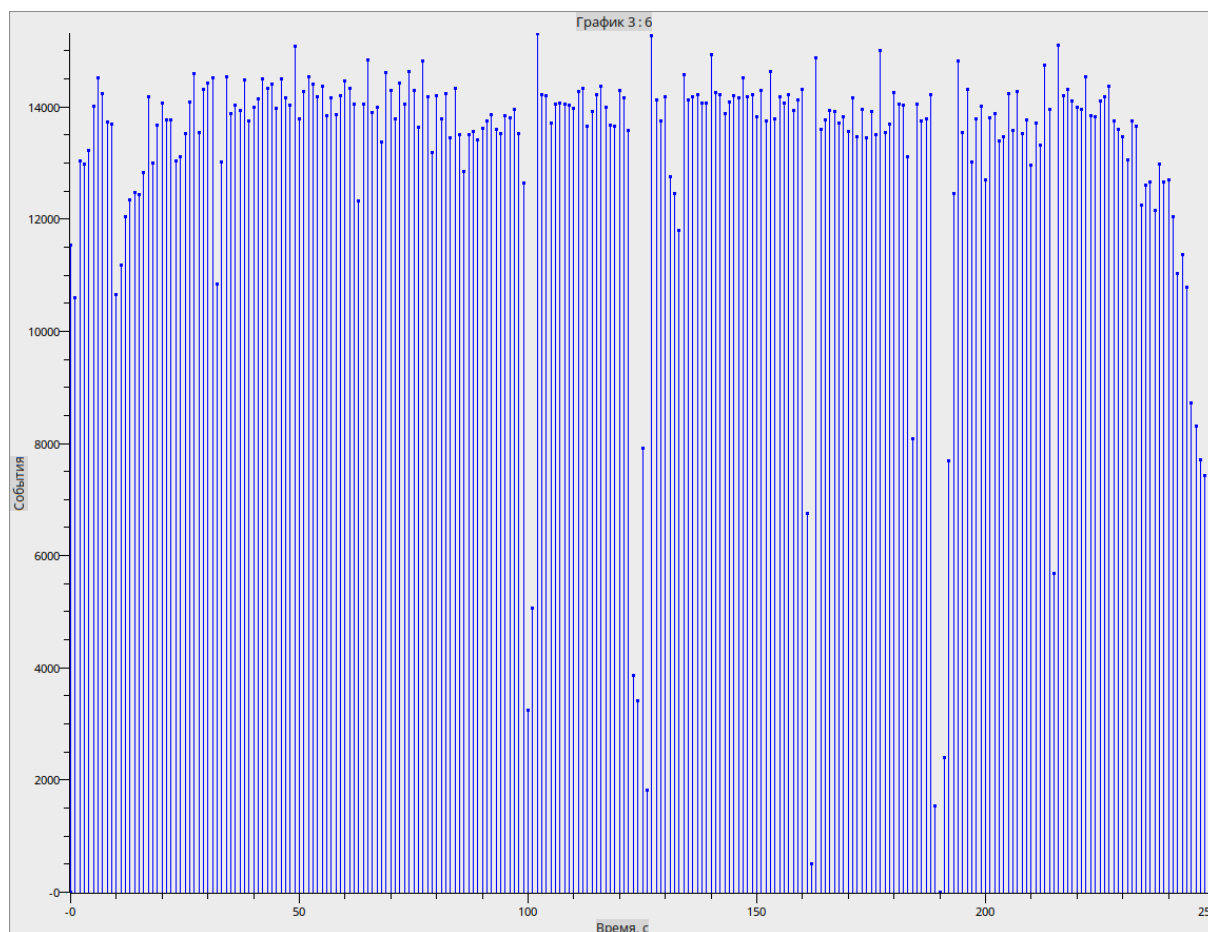


Рис. 5. График зависимости полной активности от времени при АЭ-диагностике сварки системой КАЭМС

На рисунке 5 показан график зависимости полной активности (при отключенной фильтрации сигналов помех) от времени, зарегистрированный при зачистке сварного шва абразивным электроинструментом. Видно, что максимальная производительность системы достигала 15000 имп/с. При регистрации этих данных система также работала в режиме (а).

## ЗАКЛЮЧЕНИЕ

Проект платы АЭ-АЦП реализован с использованием регистрации широкополосных сигналов быстродействующими АЦП и их последующей цифровой обработкой с помощью ПЛИС, что позволило обеспечить высокоскоростной и детальный анализ больших потоков акустических импульсов. Число вычисляемых в плате параметров импульсов — 20. Реализована аппаратная отбраковка импульсов помех по этим параметрам. Производительность системы КАЭМС в реальных условиях достигает 15000 имп/с.

## ЛИТЕРАТУРА

1. Гуменюк В. А., Яковлев А. В., Сульженко В. А., Иванов Ю. Г. Многоканальная многофункциональная акустико-эмиссионная система диагностики состояний конструкций и сооружений. Труды ЦНИИ им. акад. А.Н. Крылова, 1997 г., Вып. №5, стр. 78-83.
2. Серьезнов А. Н., Степанова Л. Н., Кабанов С. И. Акустико-эмиссионная система для регистрации непрерывных и дискретных сигналов. Датчики и системы, 2010 г., №8, стр. 55-59.
3. Аппаратура диагностирования акустико-эмиссионная многоканальная СДАЭ-16. Описание типа, 25450-03, Госреестр СИ, 2003 г.
4. Коновалова И. В., Марков С. В., Сягаев С. С. Сравнение производительности устройств бланкирования сигналов от подстилающей поверхности, реализованных на процессоре ЦОС TigerSHARC 201 и на ПЛИС Stratix III EP3SL150. Информационно-измерительные и управляющие системы, 2013 г., №11, стр. 61-65.
5. Шидловский Д. Ю., Руфицкий М. В. Сравнение характеристик ПЛИС и ЦСП для определения целесообразности разработки устройств на их основе в области цифровой обработки сигнала // НиКа, 2007, стр. 61-63
6. FIR Compiler II Megacore Function User Guide, Altera, 2010 г.
7. Single- And Dual — Clock FIFO Megafunction User Guide, Altera, 2009 г.
8. Quartus II Handbook Version 9.1, Volume 5 - Embedded Peripherals, Altera, 2009 г.
9. NiosII Software Developer`s Handbook, Altera, 2009 г.